

(Concise explanations in relevancy)

Japanese laid-open patent publication No. 6-283384

Japanese laid-open patent publication No. 6-283384 discloses another capacitor array adjusted for a narrow pitch of the integrated circuit.

CHIP-TYPE CAPACITOR ARRAY

Patent Number: JP6283384

Publication date: 1994-10-07

Inventor(s): OGAWARA JIRO; others: 01

Applicant(s):: TAIYO YUDEN CO LTD

Requested Patent: JP6283384

Application Number: JP19930071861 19930330

Priority Number(s):

IPC Classification: H01G4/38 ; H01G1/035 ; H01G4/30

EC Classification:

Equivalents:

Abstract

PURPOSE: To provide a chip-type capacitor array for SMD which can cope with narrowing of spacing between pitches of the lead terminal of an IC chip.

CONSTITUTION: A chip-type capacitor array 30 is a chip-type capacitor obtained by mold extraction forming after laminating a plurality of ceramic green sheets where an internal electrode is printed for one-piece baking, a plurality of projecting parts 33 are mold-extracted in a zigzag lattice shape on one side surface 31 of the chip and a side surface 32 opposing it, at the same time external electrodes 35-38 (shaded part) of each capacitor are formed in thick film on the end face of the tip part of the projecting part 33 and the surrounding five surfaces, and common external electrodes 39 and 40 are provided on the other side surface.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-283384

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁵ H 01 G 1/035 4/30	識別記号 4/38 C 3 0 1	府内整理番号 9174-5E 9174-5E F 9375-5E	F I	技術表示箇所
---	----------------------------	---	-----	--------

審査請求 未請求 請求項の数 2 O L (全 6 頁)

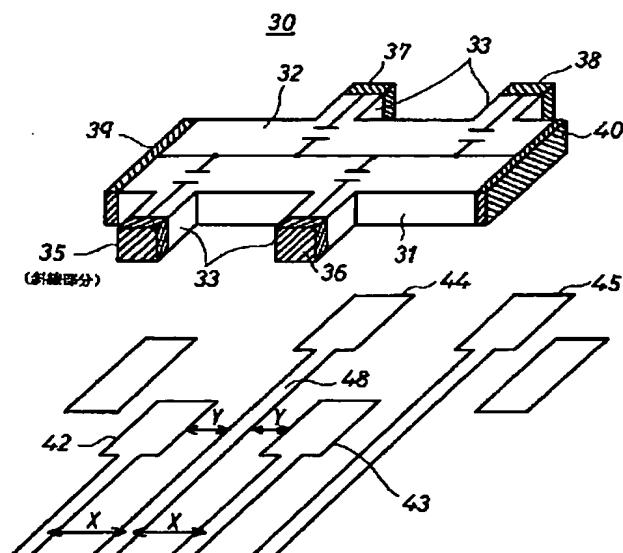
(21)出願番号 特願平5-71861	(71)出願人 000204284 太陽誘電株式会社 東京都台東区上野6丁目16番20号
(22)出願日 平成5年(1993)3月30日	(72)発明者 荻原次朗 東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(54)【発明の名称】 チップ型コンデンサアレイ

(57)【要約】

【目的】 I Cチップのリード端子のピッチ間隔の狭間隔化に対応可能なSMD用チップ型コンデンサアレイを提供する。

【構成】 チップ型コンデンサアレイ30は、内部電極が印刷された複数枚のセラミックグリーンシートを積層して一体焼成した後、型抜き成型して得られるチップ型コンデンサアレイであって、チップの一側面31とこれに対向する側面32に各々複数の凸部33を互い違いに千鳥格子状に型抜きして配設するとともに、前記凸部33の先端部分の端面及びその周面の五面に各コンデンサの外部電極35～38(斜線部分)を厚膜形成し、且つ共通外部電極39及び40を他の側面に設けた構造である。



【特許請求の範囲】

【請求項1】 内部電極が印刷された複数枚のセラミックグリーンシートを積層して一体焼成した後、型抜き成型して得られるチップ型コンデンサアレイにおいて、チップの一側面とこれに対向する側面に各々複数の凸部を互い違いに千鳥格子状に型抜きして配設するとともに、前記凸部の先端部分の端面及びその周面の五面に各コンデンサの外部電極を厚膜形成し、且つ共通外部電極を他の側面に設けたことを特徴とするチップ型コンデンサアレイ。

【請求項2】 請求項1記載のチップ型コンデンサアレイにおける共通外部電極をチップの一側面に配設された凸部の先端部分に厚膜形成したことを特徴とするチップ型コンデンサアレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表面実装デバイス (Surface Mounted Device 略してSMDと称される。) タイプのチップ型コンデンサアレイに関するものである。

【0002】

【従来の技術】 従来、表面実装基板においてコンデンサを複数個使用しなければならない回路がある場合、一般にコンデンサ単品を使って実装を行うが、並べるコンデンサの数が多い場合には、複数のコンデンサが一体となったコンデンサアレイを使用する。

【0003】 特にSMDタイプの集積回路チップ(以下、ICチップと称する。)においては多数の入出力ピンが狭いピンピッチで並んでおり、多数のピンに単体のコンデンサを接続するよりもコンデンサアレイの方が省スペースとなって高密度実装に資するといえる。

【0004】 尚、コンデンサの種類は多数あるが、上記表面実装基板においてはチップ化の進んだ積層セラミックコンデンサが小形にもかかわらず大容量が得られ、高密度実装に適するため比較的良く使用されている。コンデンサアレイにおいても積層技術の進歩と相俟って積層セラミックのコンデンサアレイが一般的となっている。

【0005】 上記コンデンサアレイのうち、図5の回路に示されるようなICチップ1のリード端子からシャシまたはパネル(GND電位5)との間に所望の容量をもたせるノイズフィルタ用のセラミックコンデンサ2を複数個一体化したチップ型コンデンサアレイ3としては従来図6に示すような外観であった。

【0006】 即ち、図6の(A)は四個のセラミックコンデンサが横並びに並設されて直方体チップ状に一つのパッケージに納められたコンデンサアレイ6及び実装基板面上の半田付けランド10と配線パターン15の斜視図であり、コンデンサアレイ6は対向する側面7及び8に外部電極9が等間隔に並設され、他の対向する二側面11及び12に共通外部電極13及び14が塗布形成さ

れた構造である。

【0007】 また(B)は外部電極17を半月形スルーホールの内面に塗布形成し、実装基板への半田付けを容易にした構造のチップ型コンデンサアレイ19の斜視図である。

【0008】 上記チップ型コンデンサアレイ6は一般にグリーンシート法による製法が広く利用されている。図7は上記従来のチップ型コンデンサアレイ6の製造する工程の分解斜視図である。該製法はグリーンシートと呼ばれる通常は10μm～30μmの厚さのセラミック(酸化チタンまたはチタン酸バリウム等を主成分とする。)の焼成前の生シート22～24に、Ag-Pd、Ag等を主成分とする電極材料ペーストを用いて導体印刷を行うことによって、各コンデンサの内部電極26、27及び共通内部電極28を各生シートに形成する。この生シートを必要に応じて複数枚重ね合わせて積層した後、抜き金型等でチップ形状に成形し、大気中で900～1200℃にてセラミックと導体を同時に一体焼結して、その後、チップ側面に露出した内部電極の端部に銀ペースト等を塗布、焼付し、さらにNi電解メッキ、半田メッキ等を施して外部電極部9を完成するものである。

【0009】

【発明が解決しようとする課題】 しかしながら、ICのリードピンピッチが大集積化に伴う入出力ピン数の増加によって従来の1.27mmから0.65mmさらに0.5mmピッチと縮小されてきているのに対し、前記従来のチップ型コンデンサアレイ6ないし19では、外部電極9ないし17のピッチがせいぜい0.8mmまでしか対応できないため、ICチップのリードピンピッチとの不整合が生じている。

【0010】 即ち、チップ型コンデンサアレイ6は外部電極9ないし17がICチップのようなリード端子ではなく、電極材を厚膜形成することから外部電極幅aを必然的に太くせざるをえず、且つ実装基板の半田付けランド2を隣とのクリアランスbを最低限保ちつつ前記外部電極よりもやや広く確保する必要があることから外部電極9ないし17のピッチは0.8mmが限界で、これ以上狭くすると半田付けの際に隣合う半田付けランドとショートしてしまう恐れが大きくなるのである。

【0011】 一方前述のようにICチップや超LSIチップに至っては100ピンを超える多ピンフラットパッケージも表面実装されるのが一般的となっており、隣合う多数のリードピンをコンデンサに接続する回路構成の場合に、従来のチップ型コンデンサアレイ6ないし19を用いるとICチップ側のリードピッチとコンデンサアレイ側の外部電極ピッチが一致せず、基板配線に余分のスペースを確保せねばならず、基板配線の設計の自由度が制限されてしまうという問題点が生じていた。

【0012】 また、従来のチップ型コンデンサアレイ6

ないし19では外部電極9ないし17の電極形成面が一
～三面であって外部電極の強度が弱く、特に角の部分に
て剥離が生じやすいという問題点があった。

【0013】本発明は、上記事情に鑑みてなされたもの
であり、外部電極強度が高く、且つ半田付けランドのクリアランスを確保しつつ外部電極ピッチが従来に比して
狭くでき、ICチップのリードピンピッチの狭間隔化に対応可能なチップ型コンデンサアレイを提供するものである。

【0014】

【課題を解決するための手段】本発明は、内部電極が印刷された複数枚のセラミックグリーンシートを積層して
一体焼成した後、型抜き成型して得られるチップ型コンデンサアレイにおいて、チップの一側面とこれに対向する
側面に各々複数の凸部を互い違いに千鳥格子状に型抜きして配設するとともに、前記凸部の先端部分の端面及び
その周面の五面に各コンデンサの外部電極を厚膜形成し、且つ共通外部電極を他の側面に設けたことを特徴とする
チップ型コンデンサアレイを提供することにより、また、上記共通外部電極を一側面に配設された凸部の先
端部分に厚膜形成したことを特徴とするチップ型コンデンサアレイを提供することにより、上記目的を達成する
ものである。

【0015】

【作用】本発明においては、チップ型コンデンサアレイの対向する二側面に千鳥格子状に配設された凸部の先端部分の外部電極がそれぞれ別個のコンデンサの外部電極となるので、片側一側面の外部電極ピッチを観れば従来に比べて二倍大きくなる。

【0016】また、実装基板面の半田付けランド間には配線が一本通るだけなので前記半田付けランドのピッチを狭くすることが可能となる。

【0017】即ち、一方の側面の凸部に配設した外部電極間のピッチは凸部先端の外部電極に対応する半田付け
ランドと、他方の側面の凸部に配設した外部電極の半田付けランドからの配線パターンとのクリアランスの許容
値で決まるピッチ間隔まで狭くできる。

【0018】さらに、前記凸部先端部分に各コンデンサの外部電極を厚膜形成する構成なので、電極塗布面は凸部端面及び該端面に隣接する凸部四方側面の五面と
することができ、外部電極の凸部の角から厚膜形成した電極が剥離しにくい構造となる。

【0019】

【実施例】本発明の実施例を、図面に基いて詳細に説明する。

【0020】図1は本発明に係わるチップ型コンデンサアレイの実施例及び実装基板面の半田付けランドと配線
パターンを示す斜視図であり、図2は上記実施例のチップ型コンデンサアレイの内部構造を示す分解斜視図である。

【0021】図1においてチップ型コンデンサアレイ30は、内部電極が印刷された複数枚のセラミックグリーンシートを積層して一体焼成した後、型抜き成型して得られるチップ型コンデンサアレイであって、チップの一側面31とこれに対向する側面32に各々複数の凸部33を互い違いに千鳥格子状に型抜きして配設するとともに、前記凸部33の先端部分の端面及びその周面の五面に各コンデンサの外部電極35～38（斜線部分）を厚膜形成し、且つ共通外部電極39及び40を他の側面に設けた構造である。

【0022】次に、上記チップ型コンデンサアレイ30を実装基板に半田付け実装する場合、図1から明らかな
ように、例えばICチップのリード端子ピッチがXであり、同ピッチ寸法でコンデンサアレイ30を接続するには、接続される各コンデンサの外部電極は外部電極35、37、36、38という順に交互に選択する。

【0023】したがって、コンデンサアレイ側の外部電極ピッチは一側面においてはICチップのリード端子2
ピッチ分に広がり、ピッチ寸法が2Xとなるので、例え20
ば半田付けランド42と43の間には他方の側面の外部電極37の半田付けランド44につながる配線パターン
48のみが通るので、該配線パターン48と半田付けランド42ないし43とのクリアランスYを十分確保する
ことができる。

【0024】逆に配線パターン48の幅及びクリアランスYを必要最小限に設計すれば、半田付けとしてのクリア
ランスYを確保しつつICチップのリード端子ピッチXの狭間隔化に対応することが可能となる。

【0025】次に、上記チップ型コンデンサアレイ30
30の製造工程を説明する。

【0026】コンデンサアレイ30は図2の分解斜視図において示されるように、グリーンシートと呼ばれる通常
は10μm～30μmの厚さのセラミック（酸化チタンまたはチタン酸バリウム等を主成分とする。）の焼成
前の生シート53に、Ag-Pd、Ag等を主成分とする電極材料ペーストを用いて各コンデンサの内部電極56～59を導体印刷し、この生シート53の両面に共通
内部電極61、62を各々導体印刷した生シート52及び54を貼り合わせ、さらにカバーシート51、55を
40
両面に貼り合わせた積層構造を有する。

【0027】尚、上記積層した各グリーンシートは図3の平面図に示されるように一枚のシートに多数のコン
デンサアレイの内部電極パターン（各コンデンサの内部電極56～59もしくは共通内部電極61または62）を
縦横に導体印刷したものであって、図2の分解斜視図の如く積層の初めより一個のコンデンサアレイのチップ形
状に成型されている訳ではない。

【0028】上記グリーンシートの積層後、本発明の特
徴であるチップの一側面とこれに対向する側面の複数の
50
凸部を千鳥格子状に成型するために、図3における抜き

部分63(斜線部分)を抜き金型等で落とす。その後、大気中で900~1200°Cにてセラミックと導体を同時に一体焼結した後、カットライン66(破線)にて個々のコンデンサアレイを切り出す。

【0029】次に、図1における外部電極部35~40の端面及びその周面の五面にターミネーター方式等でAg-Pd、Ag等を主成分とする電極材料ペーストを塗布、焼付し、さらにNiメッキ、半田メッキを施すことにより外部電極部を完成する。

【0030】以上述べた製造工程は従来のグリーンシート法による積層セラミックコンデンサアレイの製造工程と比較すれば、焼結前にチップ側面の凸部の成型のため抜き部分63を抜き金型等で削除する工程が加わる点、及び外部電極部35~40が突出した構造であることから電極塗布工程がターミネーター方式等によって実施される点以外は従来と異なるところは無い。

【0031】尚、本発明に係るチップ型コンデンサアレイの電極構成は上記実施例以外にも例えば図4の

(A)に示されるように、共通外部電極67を一側面に配設された凸部68の先端部分に厚膜形成したものであってもよい。この場合、共通内部電極の導体印刷パターンは共通外部電極67につながるものであることは勿論である。

【0032】また、図4の(B)に示されるように、各コンデンサの内部電極が導体印刷されたグリーンシートを内部に設けずに最上面に位置するように積層し、その上に電極保護用の樹脂69を塗布したチップ型コンデンサアレイ構造であっても本発明の意図するICチップのリードピンピッチの狭間隔化への対応と、外部電極強度の強化が達成されることは言うまでもない。

【0033】

【発明の効果】本発明に係るチップ型コンデンサアレイは上記のように構成されているため以下の優れた効果を有する。

【0034】(1)外部電極のピッチ間隔を狭くでき、ICチップのリードピンのピッチ間隔の狭間隔化に対応可能である。

【0035】(2)外部電極強度が強化され剥離等が生じる恐れがない。

【図面の簡単な説明】

【図1】本発明に係るチップ型コンデンサアレイ及び実装基板の半田付けランドと配線パターンを示す斜視図である。

【図2】実施例のチップ型コンデンサアレイを製造する

工程を説明する積層したグリーンシートの分解斜視図である。

【図3】積層したグリーンシートの抜き部分とカットライン及び各内部電極のパターンを示す平面図である。

【図4】他の実施例の斜視図であり、(A)は共通外部電極を一側面に配設された凸部の先端部分に厚膜形成した構造であり、(B)は各コンデンサの内部電極が導体印刷されたグリーンシートを内部に設けずに最上面に位置するように積層し、その上に電極保護用の樹脂を塗布した構造である。

【図5】ICチップのリード端子にコンデンサが接続された回路である。

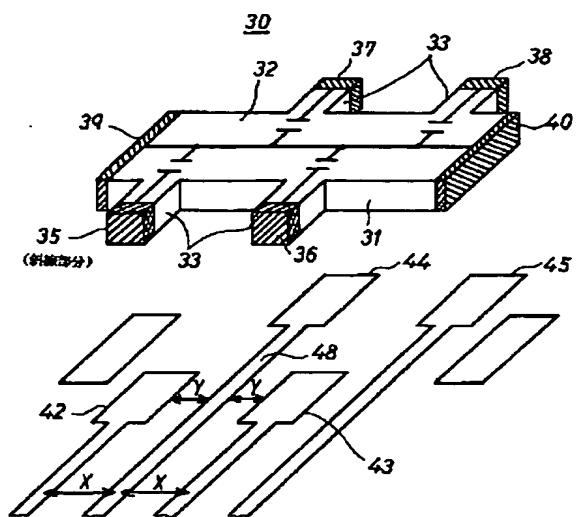
【図6】(A)は従来タイプのチップ型コンデンサアレイ及び実装基板の半田付けランドと配線パターンを示す斜視図であり、(B)は他の従来タイプのチップ型コンデンサアレイの斜視図である。

【図7】従来のコンデンサアレイの製造する工程を説明する積層したグリーンシートの分解斜視図である。

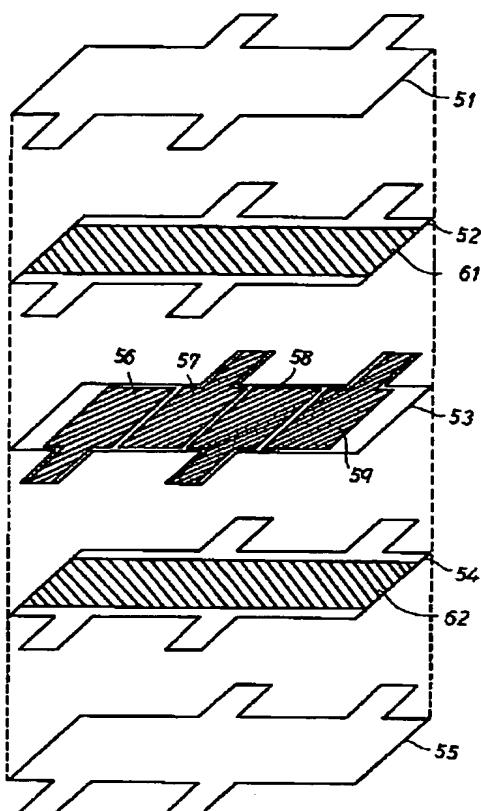
【符号の説明】

20	1	ICチップ
	2	コンデンサ
	3	コンデンサアレイ
	5	GND電位
	6、19、30	チップ型コンデンサアレイ
	7及び8	対向する側面
	9、17	外部電極
	10、42~45	半田付けランド
	11及び12	他の対向する二側面
	13、14	共通外部電極
30	15、48	配線パターン
	21~25	生シート
	26、27、56~59	内部電極
	28、61、62	共通内部電極
	a	外部電極幅
	b、Y	クリアランス
	31及び32	チップの一側面とこれに對向する側面
	33、68	凸部
	35~38	外部電極
	39、40、67	共通外部電極
40	51、55	カバーシート
	63	抜き部分
	66	カットライン
	X	ICチップのリード端子ピッチ
	69	樹脂

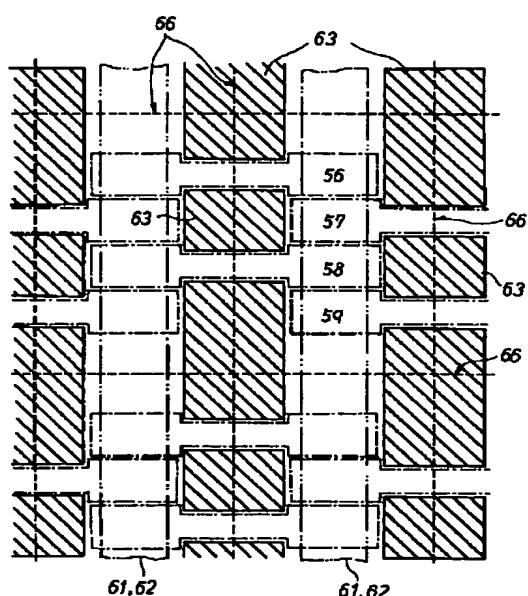
【図1】



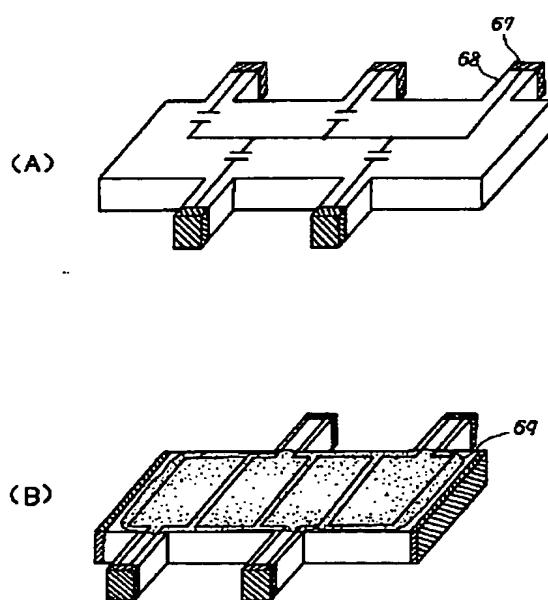
【図2】



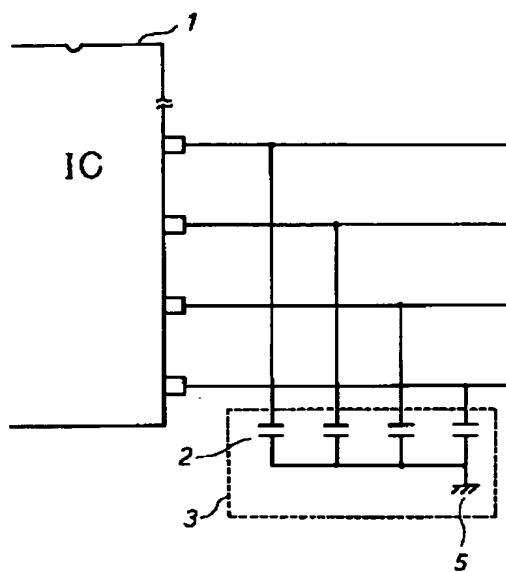
【図3】



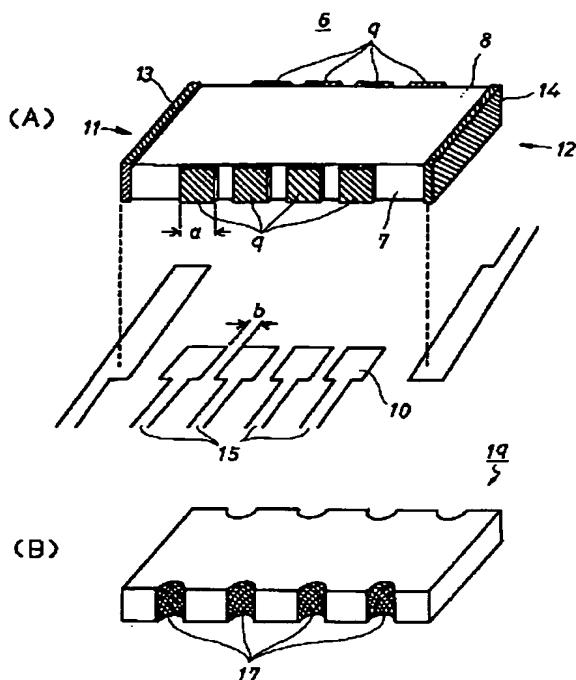
【図4】



【図5】



【図6】



【図7】

